

PATENT ABSTRACTS OF JAPAN

(1)Publication number : 09-246404

(43)Date of publication of application : 19.09.1997

(51)Int.Cl.

H01L 21/8247

H01L 29/788

H01L 29/792

G110 16/02

H01L 27/115

(21)Application number : 08-046231

(71)Applicant : MITSUBISHI ELECTRIC CORP

(22)Date of filing : 04.03.1996

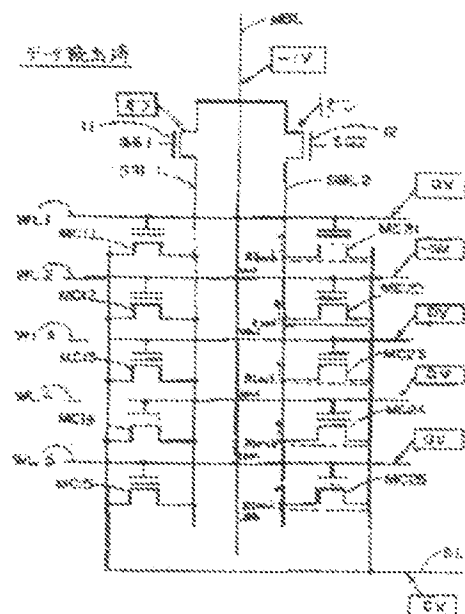
(72)Inventor : SAKAKIBARA KIYOHiko

(54) NON-VOLATILE SEMICONDUCTOR MEMORY

(57)Abstract.

PROBLEM TO BE SOLVED: To provide DINOR type flash memory cutting down the gate length without decreasing the implanting efficiency in floating gate.

SOLUTION: Within the title non-volatile semiconductor memory, a gate length shorter than the marginal gate length in the drain withstand voltage length characteristics is adopted while setting up the relation formula of $I_{dsRleak} < I_{dsread} / Nbit / M$ to be satisfied. In said formula, I_{dsread} represents the reading out current running between the source drain of a selective memory cell MC 22 in the data reading-out time, $I_{dsRleak}$ represents the reading out leakage current between the source drain of the MC23-MC25, Nbit represents the numbers of MC11-MC15 or 1MC21-MC25, M represents the previously specified margin factor exceeding 1.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(18) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-246404

(43) 公開日 平成9年(1997)9月19日

(51) Int. Cl. ⁶	発明記号	庁内整理番号	P 1	技術表示箇所
H 0 1 L 21/8237			H 0 1 L 25/78	3 7 1
			G 1 1 C 17/00	3 0 7 A
			H 0 1 L 27/10	4 3 4
G 1 1 C 16/02				
H 0 1 L 27/115				

審査請求 未請求 請求項の数5 O L (全11頁)

(21) 出願番号 特願平8-46231

(22) 出願日 平成8年(1996)3月4日

(71) 出願人 000606013

三菱電機株式会社

東京都千代田区丸の内二丁目2番2号

(72) 発明者 柳原 清彦

東京都千代田区丸の内二丁目2番2号 三

菱電機株式会社内

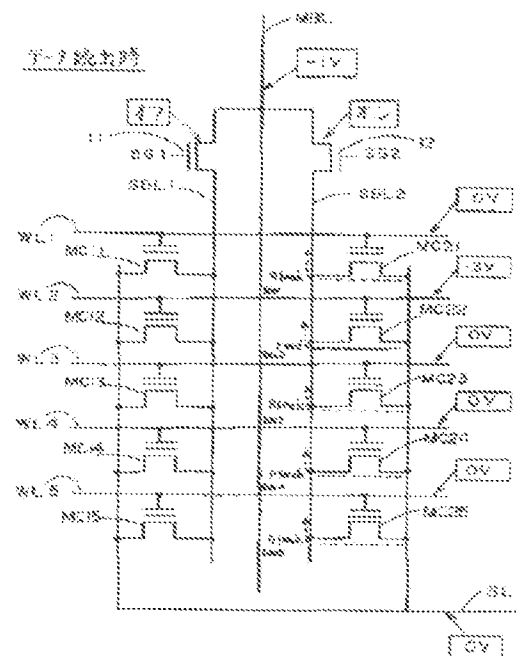
(74) 代理人 弁理士 深見 久隆 (外3名)

(54) 【発明の名称】 不揮発性半導体記憶装置

(57) 【要約】

【課題】 フローティングゲートへの注入効率を低下させることなくゲート長を短縮化したD I N O R型フラッシュメモリを提供する。

【解決手段】 ドレイン電圧ゲート長特性における臨界ゲート長よりも短いゲート長を使用し、関係式 $(ds_{\text{min}})^2 < (ds)^2 / N m i c / M$ を満たすように設定する。 $(ds)^2$ はデータ読出時に選択メモリセルMC22のソースードレイン間に流れる読出電流を示し、 $(ds_{\text{min}})^2$ はデータ読出時に非選択メモリセルMC21、MC23～MC25のソースードレイン間に流れる読出リーク電流を示し、N m i c はメモリセルMC11～MC15またはMC21～MC25の数を示し、Mは予め定められた1以上のマージンファクタを示す。



【特許請求の範囲】

【請求項1】 複数のスタックゲート型メモリセル、前記スタックゲート型メモリセルに対応して設けられ、各々が対応するスタックゲート型メモリセルのコントロールゲートと接続された複数のワード線、メインビット線、前記複数のスタックゲート型メモリセルのドレインと共に接続されたサブビット線、前記メインビット線と前記サブビット線との間に接続されたセレクトゲート、および前記複数のスタックゲート型メモリセルのソースと共に接続されたソース線を含む、前記スタックゲート型メモリセルのゲート長は、ドレイン側圧とゲート長との関係を表わすドレイン側圧-ゲート長特性においてゲート長の短縮化に伴いドレイン側圧が低下し始めるときの臨界ゲート長よりも短く、かつ関係式

$$1/d_s^{1/m} < 1/d_s^{1/m} / N_b^{1/2} : / M$$

(式中の $1/d_s^{1/m}$ は前記ワード線によって選択されたスタックゲート型メモリセルからのデータ読出時にそのソースドレイン間に流れる読出電流を示し、 $1/d_s^{1/m}$ は前記データ読出時に前記ワード線によって選択されかつデータがプログラムされた状態にあるスタックゲート型メモリセルのソースドレイン間に流れる読出リーク電流を示し、 $N_b^{1/2}$ は前記スタックゲート型メモリセルの数を示し、 M は予め定められた1以上のマージンファクタを示す)を満たすように設定される、不揮発性半導体記憶装置。

【請求項2】 前記マージンファクタはほぼ1.0に設定される、請求項1に記載の不揮発性半導体記憶装置。

【請求項3】 前記スタックゲート型メモリセルへのデータ書込時に前記ソース線を開放状態にする開放手段をさらに含む、請求項1または請求項2に記載の不揮発性半導体記憶装置。

【請求項4】 前記スタックゲート型メモリセルへのデータ書込時に所定電位を前記ソース線に印加する第1のバックゲート印加手段をさらに含む、請求項1または請求項2に記載の不揮発性半導体記憶装置。

【請求項5】 前記データ読出時に所定電位を前記ソース線に印加する第2のバックゲート印加手段をさらに含む、請求項1から請求項4のいずれか1項に記載の不揮発性半導体記憶装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は不揮発性半導体記憶装置に関し、さらに詳しくは、D1NOR (divided bit line NOR) 型のフラッシュメモリに関する。

【0002】

【従来の技術】近年、不揮発性半導体記憶装置の一種であるフラッシュメモリは、ダイナミックランダムアクセ

スメモリ(DRAM)よりも安価に製造できるため、次世代を狙うメモリデバイスとして期待されている。

【0003】このフラッシュメモリの取組を単一化するために既に、nチャネルメモリセルを用いてそのn型ドレイン領域とフローティングゲートの重なり領域にて、N電流をフローティングゲートに注入することによりデータの書込を行なうD1NOR型のフラッシュメモリが「IEEE JOURNAL OF SOLID-STATE CIRCUIT, VOL.29, No.4, APRIL 1994」の第464頁〜第466頁に開示されている。

【0004】これに対し、本発明人は特願平7-148969号において、メモリセルの微細化を可能にしかつパンチスルー現象を起きにくくするために、pチャネルメモリセルを用いたD1NOR型のフラッシュメモリを提案している。なお、この先願は本願の出願時において未だ出願公開されていないが、本願発明は上記先願に係るpチャネルメモリセルを用いたD1NOR型のフラッシュメモリの改良を主な目的とするため、以下に、pチャネルメモリセルを用いたD1NOR型のフラッシュメモリについて簡単に説明する。

【0005】図8は、D1NOR型のフラッシュメモリにおけるpチャネルメモリセルの構造を示す断面図である。図8を参照して、このメモリセル80は、n型ウェル81と、ウェル81の表面に形成されたp⁺型ソース82およびドレイン83と、ウェル81上に形成されたトンネル酸化膜84と、トンネル酸化膜84上に形成されたフローティングゲート85と、フローティングゲート85上に形成された層間絶縁膜86と、層間絶縁膜86上に形成されたコントロールゲート87とを備える。このような構成のメモリセルは一般にスタックゲート型と呼ばれる。

【0006】上記メモリセル80へのデータ書込時には、正電位がコントロールゲート87に与えられ、負電位がドレイン83に与えられ、ウェル81が接地され、ソース82が開放(オープン)状態にされる。これによりドレイン83内のフローティングゲート85とのオーバーラップ領域において、バンド-バンド間トンネル現象(以下BTBTと称す)によって電子-正孔対(エレクトロン-ホールペア)88、89が生成される。このうち電子88は基板表面と平行な電界によって加速され、高いエネルギーを持つホットエレクトロンとなる。したがって、このホットエレクトロンがフローティングゲート85に注入されることにより、このメモリセル80にデータが書込まれることとなる。

【0007】図9は、上記メモリセル80におけるフローティングゲート85がコントロールゲート87と接続されかつゲート電位 V_g として6Vが与えられた場合におけるドレイン電流 I_d -ドレイン電位 V_d 特性およびゲート電流 I_g -ドレイン電位 V_d 特性を示す。図10は、図9に示されたドレイン電流 I_d に対するゲート電

流 I_g の割合である注入効率 I_g/I_d を示す。この図10から明らかなように、 $V_d = -6V$ 近傍に、 10^{-3} 程度の高い注入効率が得られている。ここで、 $V_d = 0V \sim -6V$ における注入効率の増加は、BTBTによる電子-正孔対の増加が原因である。また、 $V_d = -6V \sim -7V$ における注入効率の低下は、ドレイン83内のウェル81との接合付近で起きるアバランシェ降伏が原因である。アバランシェ降伏はインパクトイオン化による電子の急増現象であるから、このとき図9に示されるようにゲート電流 I_g はほとんど増加しないにもかかわらずドレイン電流 I_d が増加するために、注入効率 I_g/I_d が図10に示されるように低下するものである。

【0008】一般に、図11に示されるように、ウェル81内のチャネル下には n^+ 型パンチスルーストップ110が形成される。ゲート長の短縮化に伴って増加するパンチスルー電流を抑えるためである。上述したBTBTによる電子-正孔対はフローティングゲート85の下にも入り込んだドレイン83中のBTBT発生領域111内で生成される。他方、上述したインパクトイオン化によるアバランシェ電流は、パンチスルーストップ110がドレイン83と接触する付近のインパクトイオン化発生領域112で主に生成される。

【0009】DINOR型のフラッシュメモリは単一の外部電源（たとえば3.3V）で動作するため、データ書込時またはデータ消去時のドレイン電圧 V_d などはその外部電源をチャージポンプ回路によってチップ内部で降下することにより生成される。一般にチャージポンプ回路は電流供給能力をほとんど有しないため、データの書込動作または消去動作に伴う負荷電流は極力低くしなければならない。負荷電流が変えられない場合、チャージポンプ回路の面積や段数を増やすことになるので、チップ面積の増大、ひいては製造コストの増大を招くことになる。上述したアバランシェ降伏によるドレイン電流 I_d の急増はチャージポンプ回路の負荷電流を増大させることになるため、このアバランシェ降伏によるドレイン電流 I_d の増加は極力抑えなければならない。

【0010】

【発明が解決しようとする課題】ところで、メモリセルの微細化や高密度化はそのゲート長を短くすることによって行なわれる。しかしながら、ゲート長の短縮化に伴ってソース/ドレイン間でのパンチスルー電流が増加するという問題がある。

【0011】このようなパンチスルー電流の増加を抑えるための手法の一つとして、パンチスルーストップ110の濃度を高く設定するという手法がある。又12に示されるような p^+ 型の運送並層120を有するメモリセルにおいては、ソース/ドレイン間におけるウェル81中の深いところに電位の谷が形成される。図12には、等電位線121の分布が示される。上述したパンチスルー電流は電位の谷に流れるリーク122によるものであ

る。

【0012】ウェル81およびパンチスルーストップ110の濃度が一定である場合、ゲート長が短縮されるに従って上記のようなソース/ドレイン間での電位の谷は大きくなる傾向にある。したがって、このようなゲート長の短縮化に伴う電位の拡大を抑えるためには、ウェル81やパンチスルーストップ110の濃度を高く設定する必要がある。

【0013】しかしながら、ゲート長の短縮化に伴ってパンチスルーストップ110の濃度を高くすると、ドレイン電圧 $B V_{ds}$ の低下を招くことになる。ここで、パンチスルーストップ110の濃度を高くするとドレイン電圧 $B V_{ds}$ が低下する原因は、パンチスルーストップ110の濃度が高いほどパンチスルーストップ110とドレイン83またはソース82との間での空乏層の幅が狭くなり、この領域での電界が大きくなることである。

【0014】図2は、ドレイン電圧 $B V_{ds}$ とゲート長 L との関係を示す特性図である。このドレイン電圧-ゲート長特性は、たとえばコントロールゲート87、ウェル81およびソース82を接地し、ドレイン83に与える電圧を上げていった場合に観測されるドレイン電流 I_d があるしきい値（たとえば $1\mu A$ 以上になったとき）のドレイン電圧を異なるゲート長 L ごとに求めることによって得られるものである。ゲート長 L が比較的長い領域でのフラットな特性は図1に示されたインパクトイオン化発生領域112で起きるアバランシェ降伏によって決定されるものである。また、ゲート長の短縮化に伴うドレイン電圧 $B V_{ds}$ の低下特性はソース82-ドレイン83間で起きるパンチスルーによって決定されるものである。ドレイン電圧-ゲート長特性において、ゲート長 L の短縮化に伴いドレイン電圧 $B V_{ds}$ が低下し始めるときのゲート長を以下では臨界ゲート長 L_{min} （ L_{min} または L_{crit} ）という。図2から明らかなように、パンチスルーストップ110の濃度を高くすると臨界ゲート長 L_{min} は短くなる。すなわち、パンチスルーストップ110の濃度が比較的高い場合における臨界ゲート長 L_{min} は、パンチスルーストップ110の濃度が比較的低い場合における臨界ゲート長 L_{min} よりも短い。

【0015】フラッシュメモリのメモリセルでは、データの書込時や消去時においてドレイン電圧 $B V_{ds}$ 付近のバイアスが印加される。したがって、臨界ゲート長 L_{min} よりも短いゲート長 L_{use} を用いたメモリセルでは、図13に示されるようにドレイン電圧 V_d をドレイン電圧 $B V_{ds}$ 付近に設定すると、サブスレッショルドによるリーク電流が増大することになる。すなわち、本来はカットオフされるべき V_g （ゲート電位） $= 0V$ のときにも微小なリーク電流がソース-ドレイン間で流れることになる。

【0016】このため、臨界ゲート長 L_{min} よりも短

いゲート長 L_{use} が用いられることはなく、一般には臨界ゲート長 L_{min} のマージンを考慮して臨界ゲート長 L_{min} よりも長いゲート長 L_{use} が用いられる。

【0017】上述したように臨界ゲート長 L_{min} を決定する要因はソース／ドレイン間での電位の広がりであるから、ゲート長を短くするためにはソース／ドレイン間での電位の広がりを抑えるためにパンチスルーストッパ110の濃度を高くする必要がある。すなわち、パンチスルーストッパ110の濃度を高くすると臨界ゲート長 L_{min} が短くなるから、メモリセルに使用するゲート長 L_{use} を短くすることができる。

【0018】しかしながら、ゲート長 L を短縮化するためにパンチスルーストッパ110の濃度を高くすると、図11に示されたインパクトイオン化発生領域112におけるインパクトイオン化(1、1、)電流が増加し、アパランシェ降伏によって決定されるドレイン電圧 V_{ds} が低下する。このドレイン電圧 V_{ds} の低下は図10に示された注入効率 I_{eff}/I_d の低下を引き起こす。すなわち、図10では $V_{ds} = -6V \sim -7V$ において注入効率が低下しているが、ゲート長の短縮化に伴いパンチスルーストッパ110の濃度を高くすると、この注入効率の低下領域がドレイン電圧 V_{ds} の絶対値が小さくなる側(図10上では左側)へシフトする。このような注入効率の低下はチャージポンプ回路の負荷を増大させ、ひいてはチップサイズの増大へと繋がる。

【0019】上述したようにゲート長の短縮化のためにパンチスルーストッパ110の濃度を高くすることはできないが、インパクトイオン化による注入効率の低下を抑える手法として、一般的なメモリセルではソース82およびドレイン83の濃度を低くするLDD (Lightly Doped Drain) と呼ばれる手法がある。しかしながら、pチャネルメモリセルを用いたDINOR型のフラッシュメモリではこの手法を用いることができない。これは、BTBTによって十分な電流が発生するためには図11に示されたBTBT発生領域111の濃度が $10^{19} \sim 10^{20} \text{ cm}^{-3}$ 程度は必要だからである。もしも一般のメモリセルと同様にソース82およびドレイン83の濃度を低くすると、BTBTによって発生する電流が低下し、その結果、注入効率が低下することになる。

【0020】図14および図15は、上述したゲート長の短縮化に伴う注入効率の低下の概略を示す。図14に示されるように、ゲート長の短縮化という目的を達成するためには、臨界ゲート長 L_{min} を確保するという必要性は避けることができないと考えられていた。臨界ゲート長 L_{min} を確保するための1つの手法として、パンチスルーストッパ110の濃度を高くするという技法が考えられるが、図15に示されるようにインパクトイオン化によるリーク電流が増加し、その結果、BTBTによって誘起されたホットエレクトロンの注入効率が低下することになる。また、臨界ゲート長 L_{min} を確保

するためのもう1つの手法としてソース82およびドレイン83をLDD構造とする手法が考えられるが、BTBTによって十分な量の電子が生成されなくなり、その結果、ホットエレクトロンの注入効率はやはり低下することになる。

【0021】以上のように、pチャネルメモリセルを用いてDINOR型のフラッシュメモリではゲート長を短縮化するためにはBTBTによって誘起されたホットエレクトロンの注入効率の低下を避けることができないという問題があった。

【0022】この発明の目的は、ゲート長を短くしてフラッシュメモリのさらなる高集積化を図ることである。

【0023】この発明のもう1つの目的は、BTBTによって誘起されたホットエレクトロンの注入効率を低下させることなくゲート長を短くすることである。

【0024】

【課題を解決するための手段】この発明に従った不揮発性半導体記憶装置は、複数のスタックゲート型メモリセルと、複数のワード線と、メインビット線と、サブビット線と、セレクトゲートと、ソース線とを含む。複数のワード線は複数のスタックゲート型メモリセルに対応して設けられ、各ワード線は対応するスタックゲート型メモリセルのコントロールゲートと接続される。サブビット線は複数のスタックゲート型メモリセルのドレインと共通に接続される。セレクトゲートはメインビット線とサブビット線との間に接続される。ソース線は複数のスタックゲート型メモリセルのソースと共通に接続される。スタックゲート型メモリセルのゲート長は臨界ゲート長よりも短く設定される。ここで、臨界ゲート長とは、ドレイン電圧とゲート長との関係を表わすドレイン電圧-ゲート長特性においてゲート長の短縮化に伴いドレイン電圧が低くし始めるときのゲート長をいう。また、ワード線によって選択されたスタックゲート型メモリセルからのデータ読出時にそのソース／ドレイン間に流れる読出電流を I_{ds}^{read} とし、データ読出時にワード線によって選択されずかつデータがプログラムされた状態にあるスタックゲート型メモリセルのソース／ドレイン間に流れる読出リーク電流を I_{ds}^{leak} とし、スタックゲート型メモリセルの数を N とし、さらに予め定められた1以上のマージンファクタを M とする

と、この不揮発性半導体記憶装置は関係式

$$I_{ds}^{leak} \times M < I_{ds}^{read} / N \text{ bit} / M$$

を満たすように設定される。

【0025】上記不揮発性半導体記憶装置において、マージンファクタは好ましくはほぼ10に設定される。

【0026】上記不揮発性半導体記憶装置は好ましくはさらに、スタックゲート型メモリセルへのデータ書込時にソース線を開放状態にする開放手段を含む。

【0027】上記不揮発性半導体記憶装置は好ましくはさらに、スタックゲート型メモリセルへのデータ書込時

に所定電位をソース線に印加する第1のバックゲート印加手段を含む。

【0028】上記不揮発性半導体記憶装置は好ましくはさらに、データ読出時に所定電位をソース線に印加する第2のバックゲート印加手段を含む。

【0029】

【発明の実施の形態】以下、この発明の実施の形態を図面を参照して詳しく説明する。なお、図中同一符号は同一または類似部分を示す。

【0030】【実施の形態1】図1は、この発明の実施の形態1によるD1NOR型のフラッシュメモリにおけるメモリセルアレイの一部構成を示す回路図である。図1を参照して、D1NOR型のフラッシュメモリは、複数のスタックゲート型メモリセルMC11~MC15、MC21~MC25と、複数のワード線WL1~WL5と、メインビット線MBLと、サブビット線SBL1、SBL2と、セレクトゲート11、12と、ソース線SLとを含む。複数のワード線WL1~WL5は、複数のスタックゲート型メモリセルMC11~MC15またはMC21~MC25に対応して設けられる。ワード線WL1~WL5の各々は、対応するスタックゲート型メモリセルのコントロールゲートと接続される。たとえばワード線WL1はスタックゲート型メモリセルMC11およびMC21のコントロールゲートと共通に接続される。サブビット線SBL1はスタックゲート型メモリセルMC11~MC15のドレインと共通に接続される。サブビット線SBL2はスタックゲート型メモリセルMC21~MC25のドレインと共通に接続される。セレクトゲート11はメインビット線MBLとサブビット線SBL1との間に接続される。セレクトゲート12はメインビット線MBLとサブビット線SBL2との間に接続される。ソース線SLはスタックゲート型メモリセルMC11~MC15、MC21~MC25のソースと共通に接続される。図示はされていないが、D1NOR型のフラッシュメモリのメモリセルアレイには図1に示されるような構成が複数設けられる。

【0031】このフラッシュメモリはさらに、読込インネーブル信号PFGに反応してソース線SLを開放状態にするとともに、読出インネーブル信号READに反応してソース線SLに0Vの電位を印加するソース制御回路13を含む。読込インネーブル信号PFGはメモリセル

$$Vfg = -a_0 \cdot (Vcg + \Delta Vth) + a_1 \cdot Vd \quad \cdots (1)$$

ここで、 ΔVth は、メモリセルの通常のしきい電圧を Vth とし、フローティングゲートに電荷が全くない場合におけるメモリセルのしきい電圧を $Vth0$ とする※

$$\Delta Vth = Vth - Vth0 \quad \cdots (2)$$

また、 a_0 はコントロールゲートとフローティングゲートとの間の結合容量の値を示し、 a_1 はドレインとフローティングゲートとの間の結合容量の値を示す。

【0038】図3に示された臨界ゲート長よりも長いゲ

*ルMC11~MC15、MC21~MC25へのデータ書込時に活性化され、読出インネーブル信号READはメモリセルMC11~MC15、MC21~MC25からのデータ読出時に活性化される。

【0032】図2は、ドレイン電圧 $BVds$ とゲート長 L との関係を表す特性図である。上述したようにパルススルーストップの濃度を弱くすると短い臨界ゲート長 $Lmin$ を確保することはできるが、BTBTによって誘起されたホットエレクトロンの注入効率が低下する。そのため、この実施の形態1ではパルススルーストップの濃度は高く設定されない。

【0033】また、1つのサブビット線SBL1またはSBL2と共通に接続されるメモリセルMC11~MC15またはMC21~MC25には、データ書込時に書込ドレイン電位 Vd^{sw} が与えられ、データの読出時に読出ドレイン電位 Vd^{rd} が与えられる。一般に、書込ドレイン電位の絶対値 $|Vd^{sw}|$ の方が読出ドレイン電位の絶対値 $|Vd^{rd}|$ よりも大きい。したがって、ドレイン電圧 $BVds$ は書込ドレイン電位 Vd^{sw} よりも大きくなければならない。

【0034】また、この実施の形態1では、メモリセルMC11~MC15、MC21~MC25のゲート長として、臨界ゲート長 $Lmin$ よりも短いゲート長が使用される。ここで、図2に示されたドレイン電圧-ゲート長特性では、ゲート長を短くしていくとドレイン電圧 $BVds$ が低下し始めるが、このドレイン電圧 $BVds$ が低下し始めるときのゲート長が臨界ゲート長 $Lmin$ である。

【0035】図3は、ドレイン電流 $(-Id)$ とゲート電位 $(-Vg)$ との関係を表す特性図である。この特性図には、臨界ゲート長よりも長いゲート長を使用 $(Luse > Lmin)$ した従来の特性曲線と、臨界ゲート長よりも短いゲート長を使用 $(Luse < Lmin)$ した実施の形態1の特性曲線とが示されている。また、この特性図には、データ読出時においてデータがプログラムされている状態にあるメモリセルのフローティングゲートの電位と、データ読出時においてデータがイレースされた状態にあるメモリセルのフローティングゲートの電位 Vfg が示されている。ここで、フローティングゲートの電位 Vfg は次の式(1)で表わされる。

【0036】

※と、次の式(2)で表わされる。

【0037】

ート長を使用した場合 $(Luse > Lmin)$ の特性曲線から明らかなように、この場合のデータ読出時 $(Vd = Vread)$ においては、選択メモリセル中にAで示される読出電流がドレイン電流として流れ、非選択メモ

リセル中にA'で示される読出リーク電流がドレイン電流として流れる。A'で示される読出リーク電流はAで示される読出電流に比べて十分に小さいものである。なお、この場合におけるデータ書込時 ($V_d = V_{prog}$) の特性曲線はデータ読出時 ($V_d = V_{read}$) の特性曲線にほとんど等しいものである。

【0039】これに対し、この実施の形態1では上述したように臨界ゲート長 L_{min} よりも短いゲート長 L_{use} が使用されているため、メモリセル中に流れるサブスレッショルド電流が増加する。したがって、臨界ゲート長よりも短いゲート長を使用した場合 ($L_{use} < L_{min}$) におけるデータ読出時 ($V_d = V_{read}$) の特性曲線から明らかなように、Bで示される選択メモリセル中に流れるリード電流 I_{ds1}^{read} に比べて、B'で示される非選択メモリセル中に流れる読出リーク電流 I_{ds}^{leak} が無視できないほどに増加する恐れがある。

【0040】なお、臨界ゲート長よりも短いゲート長を使用した場合 ($L_{use} < L_{min}$) におけるデータ書込時 ($V_d = V_{prog}$) には、データ読出時 ($V_d = V_{read}$) に比べて比較的大量のリーク電流が流れる。このリーク電流は、チャネル電流ではなく基板(ウェル)内部に流れるパナスルー電流である。他方、臨界ゲート長よりも短いゲート長を使用した場合 ($L_{use} < L_{min}$) におけるデータ読出時 ($V_d = V_{read}$) には、ドレイン電位 V_d がデータ書込時に比べ低い。ため、ドレインからの空乏層の伸びが抑えられ、その結果、ソースドレイン間にはゲート電位によって制御可能なチャネル電流が流れる。

【0041】このフラッシュメモリのデータ書込時には、図4に示されるように、図1中のソース制御回路13によってソース線S1が開放状態にされ、メインビット線MBLにドレイン電位 V_d としてたとえば-5Vが与えられ、選択ワード線WL2にコントロールゲート電位としてたとえば+8Vが与えられ、非選択ワード線WL1、WL3~WL5にコントロールゲート電位としてたとえば0Vがそれぞれ与えられる。ここでは、L(論理ロウ)レベルのセレクト信号SG1がセレクトゲート11に与えられ、H(論理ハイ)レベルのセレクト信号SG2がセレクトゲート12に与えられているので、メインビット線MBLの電位(-5V)はサブビット線SBL2だけに与えられ、サブビット線SBL1には与えられない。したがって、サブビット線SBL2に接続されたメモリセルMC21~MC25だけが書込可能な状態にある。但し、ここではワード線WL2には+8Vが与えられ、他のワード線WL1、WL3~WL5には0Vが与えられているので、メモリセルMC22のみが選択され、他のメモリセルMC21、MC23~MC25は選択されない。

【0042】したがって、選択メモリセルMC22だけにデータが書込まれるが、この実施の形態1では特にパ

ナスルーストップバの濃度を高くしていないため、BTBTによって誘起されたホットエレクトロンの注入効率が低下することはない。しかしながら、ゲート長 L_{use} を臨界ゲート長 L_{min} よりも短くしているため、非選択メモリセルMC21、MC23~MC25中にパナスルーによる比較的大きな書込リーク電流 I_{ds1}^{leak} 、 I_{ds3}^{leak} ~ I_{ds5}^{leak} が流れる。しかしながら、この実施の形態1ではソース線S1が開放状態にされているため、ソース線S1の電位は、たとえば0V→-0.5Vというように低下する。そのため、非選択メモリセルMC21、MC23~MC25のソース電位が低下し、その結果、バックゲート効果によりソースドレイン間のリーク電流はカットオフされる。したがって、これらの書込リーク電流 I_{ds1}^{leak} 、 I_{ds3}^{leak} ~ I_{ds5}^{leak} は書込動作の初期に一時的に流れるだけである。したがって、この実施の形態1のようにゲート長 L_{use} を臨界ゲート長 L_{min} よりも短くしても、上記書込リーク電流が問題となることはない。

【0043】他方、このフラッシュメモリのデータ読出時には、図5に示されるように、図1中のソース制御回路13によってソース線S1にソース電位としてたとえば0Vが与えられ、メインビット線MBLにドレイン電位としてたとえば-1Vが与えられる。ここでも図4と同様に、メインビット線MBLの電位(-1V)がサブビット線SBL2だけに与えられ、メモリセルMC21~MC25だけが読出可能な状態となっている。但し、ワード線WL2にはコントロールゲート電位としてたとえば-3Vが与えられ、他のワード線WL1、WL3~WL5にはコントロールゲート電位としてたとえば0Vがそれぞれ与えられているので、メモリセルMC22だけが選択され、他のメモリセルMC21、MC23~MC25は選択されていない。

【0044】したがって、選択メモリセルMC22中には読出電流 I_{ds2}^{read} が流れ、他のメモリセルMC21、MC23~MC25中には読出リーク電流 I_{ds1}^{leak} 、 I_{ds3}^{leak} ~ I_{ds5}^{leak} が流れる。しかしながら、データ読出時にはソース線S1が0Vに固定されているので、上述したデータ書込時のようにこれらの読出リーク電流 I_{ds1}^{leak} 、 I_{ds3}^{leak} ~ I_{ds5}^{leak} がカットオフされることはない。

【0045】そこで、この実施の形態1では次の式(3)を満たすように設定されている。

【0046】

【数1】

$$\sum_{i=1}^5 I_{ds1}^{leak} \ll I_{ds2}^{read} \quad (3)$$

すなわち、データ読出時に非選択メモリセル中に流れる読出リーク電流 I_{ds1}^{leak} の総和が選択メモリセル

中に流れる読出電流 I_{ds}^{out} よりも十分に小さくなるよう設定されている。なお、データがプログラムされている状態にある非選択メモリセル中に流れる読出リーク電流の方がデータがイレーズされている状態にある非選択メモリセル中に流れる読出リーク電流よりも大きいので、読出リーク電流の総和が最大となる最悪の場合を考慮して、ここでの読出リーク電流 I_{ds}^{leak} はプログラム状態の非選択メモリセル中に流れるものである。

【0047】一般に、選択メモリセルからのデータ読出*

$$I_{ds}^{read} < I_{ds}^{out}$$

ここで、マージンファクタ M は1以上の予め定められた値であり、好ましくは1.0である。

【0049】一般にデータ読出時のドレイン電位（たとえば-1V）はデータ書込時のドレイン電位（-5V）よりも低い（絶対値が小さい）ので、読出リーク電流は書込リーク電流よりも小さい。したがって、上記関係式（4）を満たすように設定することは十分に可能である。

【0050】以上のようにこの実施の形態1によれば、ゲート長を臨界ゲート長よりも短くしているため、フラッシュメモリの信頼度をさらに高めることができる。また、上記関係式（4）を満たすように設定されているため、ゲート長を臨界ゲート長よりも短くしているにも拘らずデータ読出時に非選択メモリセル中に流れるパンチスルーによる読出リーク電流は十分に抑えられ、安定した読出動作を行なうことができる。また、データ書込時に非選択メモリセル中に流れるパンチスルーによる書込リーク電流はバックゲート効果によってカットオフされるため、安定した書込動作も行なうことができる。さらに、特にパンチスルーストップパの濃度を薄くしていないため、BTBTによって誘起されたホットエレクトロンの注入効率が低下することもない。

【0051】【実施の形態2】図6は、この発明の実施の形態2によるフラッシュメモリの一部構成を示す回路図である。図6を参照して、このフラッシュメモリは上記実施の形態1と異なり、書込イネーブル信号 $PBOC$ に応答して所定の電位（たとえば-0.5V）をソース線 S_L に印加するバックゲート印加回路60を備える。

【0052】このようなフラッシュメモリにおいては、データ書込時に所定の電位（たとえば-0.5V）がソース線 S_L に与えられるので、メモリセル $MJ21 \sim MJ25$ のバックゲート（ウェル）に実質的に負の電位が与えられたこととなる。そのため、バックゲート効果によってデータ書込時に非選択メモリセル中に流れるパンチスルーによる書込リーク電流を低減することができる。

【0053】【実施の形態3】図7は、この発明の実施の形態3によるフラッシュメモリの一部構成を示す回路図である。図7を参照して、このフラッシュメモリは上記実施の形態1と異なり、読出イネーブル信号 $READ$

* 時にソースードレイン間に流れる読出電流を I_{ds}^{out} とし、データ読出時にプログラム状態の非選択メモリセルのソースードレイン間に流れる読出リーク電流を I_{ds}^{leak} とし、1つのサブビット線に接続されたメモリセルの数を $Nbit$ とし、さらにマージンファクタを M とすると、このフラッシュメモリは上記式（3）を変形した次の関係式（4）を満たすように設定される。

【0048】

$$I_{ds}^{leak} / Nbit / M < I_{ds}^{out} \quad (4)$$

に反照して所定の電位（たとえば-0.5V）をソース線 S_L に印加するバックゲート印加回路70を備える。このとき、ソースードレイン間の電圧を上記実施の形態1と同様に1Vとするためにドレイン電位として-1.5Vを与えるのが望ましい。

【0054】このようなフラッシュメモリにおいては、上記実施の形態2と同様にバックゲート効果によってパンチスルーによる読出リーク電流を低減することができる。

【図面の簡単な説明】

【図1】 この発明の実施の形態1によるDINOR型フラッシュメモリにおけるメモリセルアレイの一部構成を示す回路図である。

【図2】 フラッシュメモリのメモリセルにおけるドレイン電圧 V_{ds} とゲート長特性を長わす図である。

【図3】 フラッシュメモリのメモリセルにおけるドレイン電流-ゲート電位特性を表わす図である。

【図4】 図1に示されたフラッシュメモリのデータ書込時の動作を示す回路図である。

【図5】 図1に示されたフラッシュメモリのデータ読出時の動作を示す回路図である。

【図6】 この発明の実施の形態2によるDINOR型フラッシュメモリにおけるメモリセルアレイの一部構成を示す回路図である。

【図7】 この発明の実施の形態3によるDINOR型フラッシュメモリにおけるメモリセルアレイの一部構成を示す回路図である。

【図8】 DINOR型フラッシュメモリにおけるpチャネルスタックゲート型メモリセルの構造を示す断面図である。

【図9】 図8に示されたメモリセルにおけるドレイン電流-ドレイン電位およびゲート電流-ドレイン電位特性を示す図である。

【図10】 図9に示されたドレイン電流に対するゲート電流の割合である注入効率とドレイン電位との関係を示す図である。

【図11】 パンチスルーストップパを有するpチャネルスタックゲート型メモリセルの構造を示す断面図である。

【図12】 pチャネルスタックゲート型メモリセルに

流れるパンドスルー電流を説明するための断面図である。

【図13】 スタックゲート型メモリセルにおけるドレイン電流-ゲート電位特性を表わす図である。

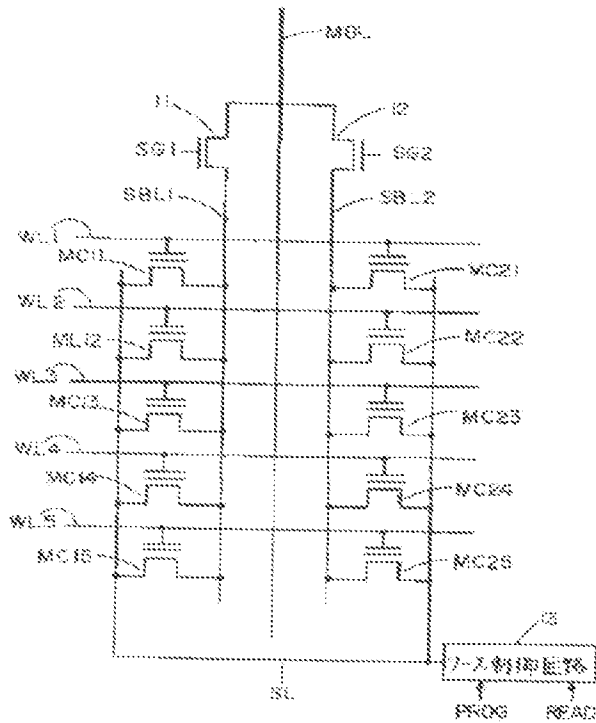
【図14】 ゲート長の微小化に伴う課題を説明するための図である。

【図15】 図14と同様の課題を説明するための注入効率とドレイン電位との関係を表わす図である。

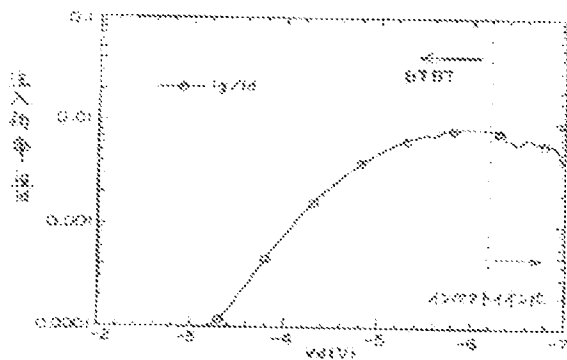
【符号の説明】

*MC11~MC15, MC21~MC25 スタックゲート型メモリセル、WL1~WL5 ソード線、MBL メインビット線、SBL1, SBL2 サブビット線、11, 12 セレクトゲート、SL ソース線、臨界ゲート長 $L_{min}^1, L_{min}^2, I_{ds1}^{min}, I_{ds3}^{min} \sim I_{ds5}^{min}$ 読み取り電流、 I_{ds2}^{min} 読み電流、00, 70 バックゲート印加回路。

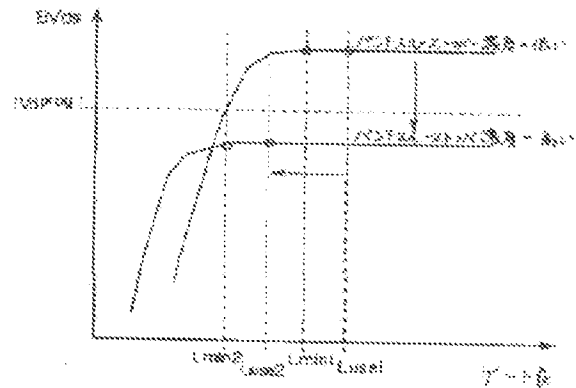
【図1】



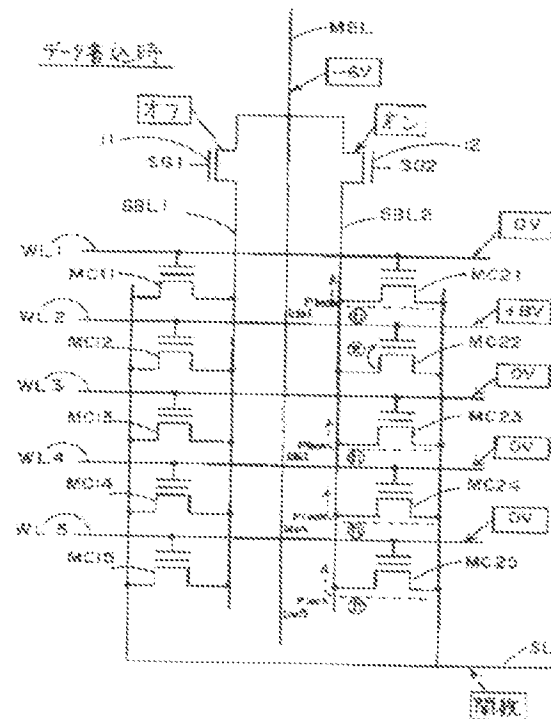
【図10】



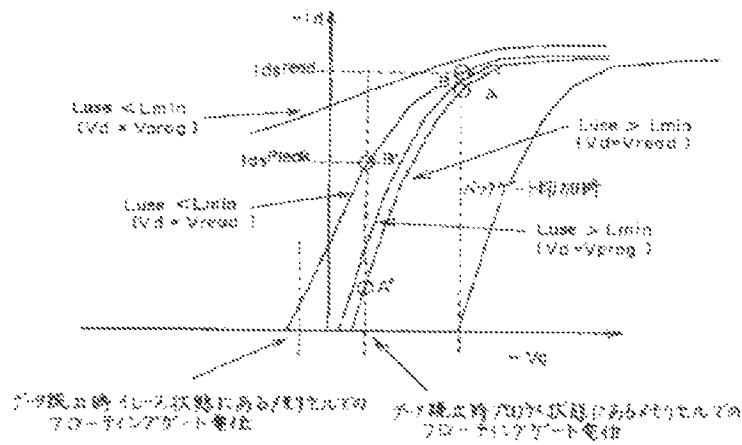
【図2】



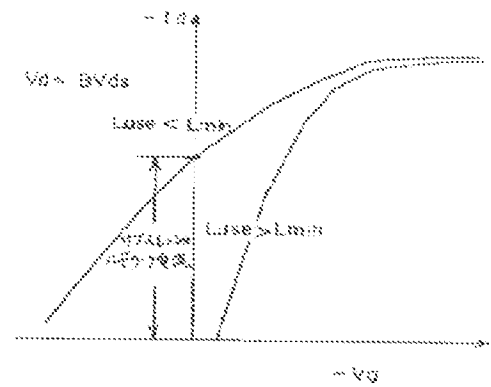
【図4】



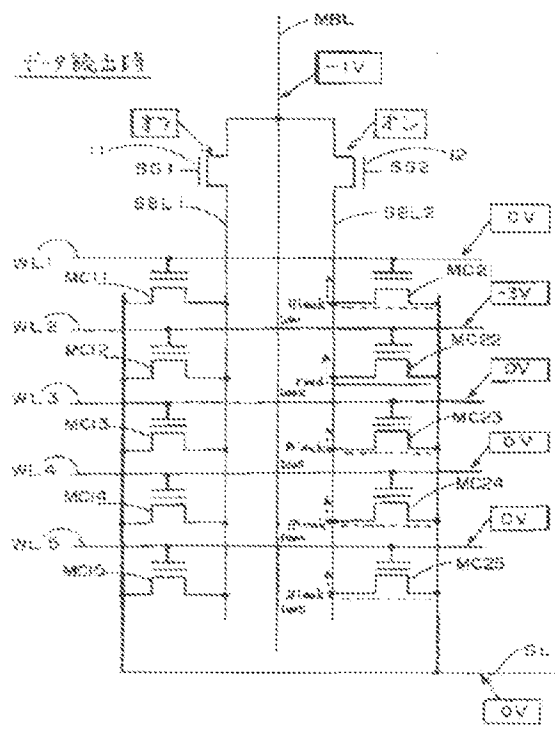
【図3】



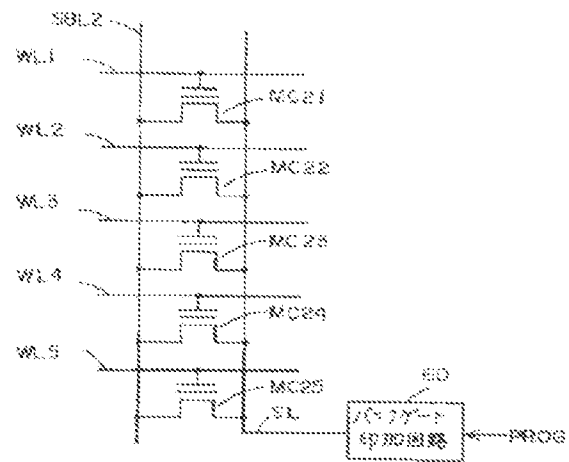
【図13】



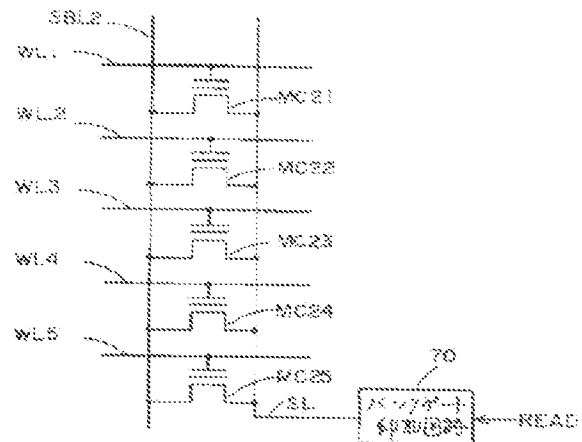
【図5】



【図6】



【図7】



【図15】

